

# UE E9SE-A - Architecture matérielle et conception conjointe



ECTS  
6 crédits



Composante  
ENSEIRB-  
MATMECA

## Présentation

**Code interne :** EE9SEA

## Description

Niveau de connaissances (savoirs) :

N1 : débutant

N2 : intermédiaire

N3 : confirmé

N4 : expert

Les connaissances (savoirs) attendues à l'issue des enseignements de l'UE

Appréhender les techniques de conception de systèmes sur silicium (SoC) mêlant matériel et logiciel par la méthode du codesign : (C1, N3), (C2, N3)

Appréhender les techniques de mise en oeuvre de matériels libres et logiciels libres dans un système embarqué : (C1, N3), (C2, N3)

Appréhender les techniques de synthèse de haut niveau pour la conception de systèmes sur silicium (SoC) : (C1, N3), (C2, N3)

Appréhender la mise en oeuvre de machines de calculs dites de haute performances : (C1, N3), (C2, N3)

Les acquis d'apprentissage en termes de capacités, aptitudes et attitudes attendues à l'issue des enseignements de l'UE

Concevoir un système sur silicium à base de circuit FPGA par la méthode du codesign : (C3, N3), (C4, N3), (C5, N2)

Choisir des solutions matérielles et logicielles libres pour concevoir son système sur silicium : (C3, N3), (C4, N2), (C5, N2)

Concevoir un système sur silicium sur circuit FPGA à l'aide des outils de synthèse de haut niveau (HLS) : (C3, N3), (C4, N3), (C5, N3)

Mettre en oeuvre un langage de description matériel au niveau système (systemC) : (C3, N3), (C4, N3), (C5, N3)

Mettre en oeuvre des solutions de calcul intensif sur système sur puce multi-cœurs et GPGPU avec l'aide de bibliothèques adaptées (OpenMP, CUDA...) : (C3, N3), (C4, N3), (C5, N3)



## Liste des enseignements

	<b>Nature</b>	<b>CM</b>	<b>CI</b>	<b>TP</b>	<b>TI</b>	<b>ECTS</b>
Flot de conception numérique avancée	Module					
Conception conjointe matérielle/logicielle. Matériels libres pour l'embarqué	Module					
Calcul haute performance pour les systèmes embarqués (HPEC)	Module					