

Synthèse VHDL



Présentation

Code interne : EE7EN201

Description

Les langages de description de circuits intégrés:

- Contexte
 - Le langage VHDL
 - La synthèse des circuits numériques
-

Syllabus

Cours:

Le langage VHDL pour la synthèse

Le langage VHDL, notions avancées (generic, package, etc)

Les FPGA, architecture interne des circuits programmables

La synthèse: de la description VHDL à l'implantation sur FPGA

Les TDs

Rappel et mise en oeuvre du langage VHDL en vue des séances sur machine,

Synthèse logique à la main de composant VHDL élémentaires.

Les TDs effectués sous environnement CAO

Formation aux outils en vue du projet de conception VHDL (EN202)

Modalités de contrôle des connaissances



Évaluation initiale / Session principale - Épreuves

Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Note éliminatoire de l'épreuve	Remarques
Epreuve Terminale	Ecrit	120		0		sans document calculatrice autorisée

Seconde chance / Session de rattrapage - Épreuves

Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Note éliminatoire de l'épreuve	Remarques
Epreuve terminale	Ecrit	120		0		sans document calculatrice autorisée

Infos pratiques

Contacts

Sylvie Renaud

✉ Sylvie.Renaud@bordeaux-inp.fr

Christophe Jego

✉ Christophe.Jego@bordeaux-inp.fr

Yannick Bornat

✉ Yannick.Bornat@bordeaux-inp.fr