

Flot de conception numérique avancée



Présentation

Code interne : EE9EN325

Description

L'objectif de cet enseignement est de faire prendre conscience aux étudiants des différents niveaux d'abstraction séparant les spécifications d'un système de son implantation matérielle. Une méthodologie basée sur le langage SystemC est employée afin d'illustrer les différentes étapes de conception nécessaires pour aboutir à la définition d'une architecture fonctionnelle. Pour conclure, une étude comparative de la solution développée manuellement est comparée à une solution générée par un outil de synthèse d'architecture (HLS) du commerce.

Pré-requis obligatoires

Afin de suivre cette séquence pédagogique il est nécessaire de maîtriser le développement de circuits numériques en VHDL ainsi que les concepts de programmation objets (C++)

Syllabus

Partie 1 - Evolution des problématiques de conception

1. Evolution des systèmes numériques 2. Les problématiques actuelles de conception 3. Les pistes de progrès actuelles

Partie 2 - La modélisation de systèmes complexes en SystemC

1. Evolution des systèmes numériques 2. Les problématiques actuelles de conception 3. Les pistes de progrès actuelles

Partie 3 - Des modèles SystemC vers les architectures RTL

1. Evolution des systèmes numériques 2. Les problématiques actuelles de conception 3. Les pistes de progrès actuelles

Partie 4 - Travaux pratiques

1. Modélisation en SystemC d'une chaîne de traitement d'image 2. Raffinement en vue de l'implantation du système 3. Etude des caractéristiques des opérateurs flottants 4. Conception en VHDL d'une IP de traitement 5. Vérification par co-simulation du système 6. Génération automatique d'architecture RTL à partir de SystemC



Informations complémentaires

Electronique numérique, conception conjointe, modélisation de systèmes.

Modalités de contrôle des connaissances

Évaluation initiale / Session principale - Épreuves

Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Note éliminatoire de l'épreuve	Remarques
Contrôle Continu Intégral	Contrôle Continu			1		
